

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-284523

(43)Date of publication of application : 09.10.1992

(51)Int.Cl.

G06F 3/00

H01R 13/64

H01R 23/68

(21)Application number : 03-048525

(71)Applicant : MEIDENSHA CORP

(22)Date of filing : 14.03.1991

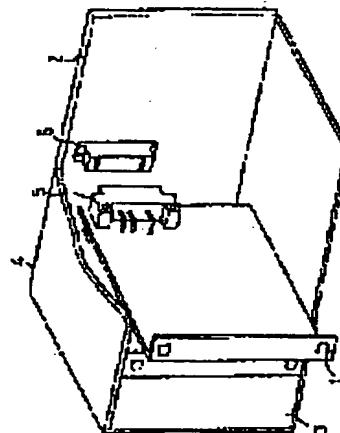
(72)Inventor : SENOO TOSHIYA

(54) LIVE LINE INSERTING AND EXTRACTING SYSTEM

(57)Abstract:

PURPOSE: To improve a working rate by preventing the disturbance of a bus signal, and preventing the breakdown of the electronic parts of a corresponding printed board or the malfunction of another printed board when an electronic device consisting of the printed board and a back plane is inserted or extracted for maintenance or inspection, etc., while electricity being applied.

CONSTITUTION: The printed board 1 and the back plane 2 are connected through connectors 5 and 6, and the connectors 5, 6 are made into sequence connectors which are different in the lengths of their terminals and constitute a three-stage sequence by the combination of their lengths. On the other hand, the bus signal to/from the back plane is classified into three kinds of power supply, a signal for bus lock, and other bus signals, and they are assigned to each of the three-stage sequence, and the procedure of the first insertion-last extraction of the power supply and the lock of a bus buffer circuit are surely executed. Thus, the order of power supply → bus signal → signal for bus lock is secured at the time of the insertion, and the order of signal for bus lock → bus signal → power supply is secured at the time of the extraction.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-284523

(43)公開日 平成4年(1992)10月9日

(51)Int.Cl.⁵

識別記号 庁内整理番号

F I

技術表示箇所

G 06 F 3/00

B 8323-5B

H 01 R 13/64

7331-5E

23/68

J 6901-5E

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号

特願平3-48525

(71)出願人 000006105

株式会社明電舎

東京都品川区大崎2丁目1番17号

(22)出願日 平成3年(1991)3月14日

(72)発明者 妹尾 利哉

東京都品川区大崎2丁目1番17号 株式会社明電舎内

(74)代理人 弁理士 志賀 富士弥 (外1名)

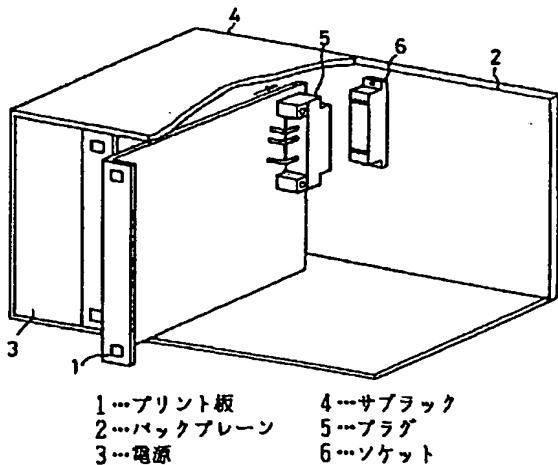
(54)【発明の名称】 活線挿抜方式

(57)【要約】

【目的】 プリント板とバックプレーンとで成る電子装置を保守点検等のために通電状態のまま挿抜する際に、バス信号の擾乱を防ぎ、当該プリント板の電子部品の破壊や他プリント板の誤動作を防止して、稼働率を向上させる。

【構成】 プリント板1とバックプレーン2とをコネクタ5及び6を介して接続するものとし、そのコネクタ5及び6は、端子の長さが異なり、その長さの組合わせで3段シーケンスを構成するシーケンスコネクタとする。一方で、バックプレーンとのバス信号を電源、バスロック用信号、その他のバス信号の3つに分類し、前記3段シーケンスのそれぞれに割当て、電源の先挿入-後抜去の手順とバスバッファ回路のロックとを確実に行う。これにより挿入時に電源→バス信号→バスロック用信号の順が確立し、抜去時にバスロック用信号→バス信号→電源の順が確立する。

本発明の一実施例の斜視図



1

【特許請求の範囲】

【請求項1】複数のプリント板とプリント板相互のバス信号を接続するパターンが施されたバックプレーンとで成る電子装置を通電状態のまま挿抜する活線挿抜方式において、端子の長さが異なり、その長さの組合せで3段シーケンスを構成するシーケンスコネクタを介してプリント板とバックプレーンとを接続するものとし、バックプレーンとのバス信号を電源、バスロック用信号、その他のバス信号の3種類に分類し、前記3段シーケンスのそれぞれに割当て、挿入時には電源→バス信号→バスロック用信号→バス信号→電源の順に挿入することができ、挿入時は電源端子投入と同時にONになり、バスロック用信号端子が投入されてOFFし、抜去時はバスロック用信号が抜去後ONになり、電源端子が抜去されるまでONを継続するバスロック信号を生成し、それを使ってバックプレーンに接続される信号のバスパッファ回路をロックするバスロック回路を設け、活線挿抜時、電源の先挿入、後抜去の手順とバスパッファ回路のロックを確実に行うことを特徴とする活線挿抜方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、プロセッサ、プログラマブルコントローラ、テレコン等の電子装置を保守や点検のため活線のまま挿抜するプリント板の活線挿抜方式に関する。

【0002】

【従来の技術】一般に、保守点検等のためにプリント板をコネクタに挿入したり抜去したりする際には、プリント板の信号ラインと電源ラインが同時に“接”又は“断”になり、特に共通のバスラインを使用している場合は、このバスラインにノイズが発生し、他のプリント板の回路動作に悪影響を与える。このため、信号と電源が供給されている状態でプリント板をコネクタから挿抜する活線挿抜は従来は不可能であった。図6は、プリント板とバックプレーンの間で授受される信号及び回路の一例を示す説明図である。同図において、1はプリント板、2はバックプレーンで、プリント板1は、バックプレーン2から、電源3の他にアドレスバス21、データバス22及びコントロールバス23等による多くの信号をバッファ11、12及び13経由でプリント板内部回路14と授受している。これらの信号を授受状態のままで、プリント板1を挿抜すると、バックプレーン2上のバス信号を乱し、他のプリント板の誤動作や活線挿抜したプリント板上の電子部品の故障を招く。

【0003】これはシステムの能率的な保守管理を害する恐れがあり、本発明の出願人も、特開昭61-148503号公報や実開昭61-113549号公報でプリント板間の信号授受に高速のシリアルバスを使用することにより活線挿抜時のバス信号への影響を軽減し、影響

10

2

を受けた場合にはプロトコルによる救済を行う方式を提案している。また実公昭58-24394号公報や実公昭59-4468号公報では信号と電源との同時投入を避けることにより前記ノイズの発生を避ける方式を提案している。

【0004】

【発明が解決しようとする課題】しかしながら、シリアルバスによる従来の活線挿抜方式は、バラレルバス方式が多数の信号を同時に授受可能なのに比較して性能が悪い、バラレル信号とシリアル信号との相互変換回路が必要でコスト高になり、しかも、VME BUSやMultibus 2等の国際標準CPUバスを採用しているプリント板には適用できない。

【0005】本発明は、このような課題に鑑みて創案されたもので、どのようなプリント板でも通電状態のまま故障プリント板を交換したり、計装システムではシステム全体を停止せずにループを増設又は削除することができ、その活線挿抜時にバス信号の擾乱や他基板の誤動作を防ぎ、装置とシステムの稼働率を向上させる活線挿抜方式を提供することを目的としている。

20

【0006】

【課題を解決するための手段】本発明における上記課題を解決するための手段は、複数のプリント板とプリント板相互のバス信号を接続するパターンが施されたバックプレーンとで成る電子装置を通電状態のまま挿抜する活線挿抜方式において、端子の長さが異なり、その長さの組合せで3段シーケンスを構成するシーケンスコネクタを介してプリント板とバックプレーンとを接続するものとし、バックプレーンとのバス信号を電源、バスロック用信号、その他のバス信号の3種類に分類し、前記3段シーケンスのそれぞれに割当て、電源の先挿入→後抜去の手順とバスパッファ回路のロックとを確実に行い、挿入時には電源→バス信号→バスロック用信号の順に投入し、抜去時にはバスロック用信号→バス信号→電源の順に抜去する活線挿抜方式によるものとする。

30

【0007】

【作用】本発明は、市販のシーケンスコネクタを利用して、プリント板の活線挿抜を実現するものである。一般に、電子装置は、固有の機能を備えたプリント板とプリント板相互の信号授受のためバス信号パターンが施されたバックプレーンとで構成されているが、本発明では、端子の長さが異なるシーケンスコネクタで接続することにより、プラグやソケットの長さの異なる端子の組合せで3段シーケンスに構成し、一方でバックプレーンとのバス信号を電源、バスロック用信号、それ以外のバス信号に分類し、前記3段シーケンスのそれぞれに割当てる。挿入時には、電源→バス信号→バスロック用信号の順に投入し、抜去時には、バスロック用信号→バス信号→電源の順で確実に抜去する。バスロック用信号は、挿入時は電源端子投入と同時にONになり、バスロック用

50

信号端子が投入されるとOFFし、抜去時はバスロック用信号端子が抜去後ONになり、電源端子が抜去されるまでONを継続するように生成され、これを使って信号のバスバッファをロックするバスロック回路がプリント板に実装されている。活線挿抜時に、電源の先挿入一後抜去手順とバスバッファ回路のロックとを確実に行えば、バス信号の擾乱を防止でき、挿抜を行うプリント板に実装されている電子部品の破壊を防ぐことも可能である。

【0008】

【実施例】以下、図面を参照して、本発明の実施例を詳細に説明する。図1は、本発明を実施した電子装置のラック構成の一例を示す部分破裁斜視図である。図中、1はプリント板、2はバックプレーン、3は電源、4はサブラックで、プリント板1とバックプレーン2とはコネクタにより接続される。コネクタには、接栓タイプのとDIN(Deutsche Industrie Normen)コネクタタイプと2種類があり、いずれも本発明に適用可能であるが、本実施例ではDINコネクタタイプのものを用い、*

* プラグ5をプリント板1に取り付け、ソケット6をバックプレーン2に取り付けて、それらを嵌合することでプリント板1とバックプレーン2とを接続するようになっている。プラグ5及びソケット6としては、図2(a)および(b)に示すような端子の長さが標準よりも長いシーケンス端子を有するものが公知であり、これを使用するとプリント板の挿抜に際して特定の信号の先挿入一後抜去が可能になる。

【0009】本発明では、プリント板1がバックプレーン2と授受する信号を3種類、即ち電源、バスロック用信号、その他の信号に分類する。これらは前記シーケンスコネクタを使用して、シーケンス端子と標準端子を分類毎に使い分け、プリント板を活線挿抜した際の信号の投入及び除去に時間差を設ける。下表は、各信号端子を3段シーケンスに割当てた組合せの一例を示すものである。

【0010】

【表1】

| 信 号 名 | プ ラ グ | ソ ケ ッ ト | シーケンス |
|------------|---------|---------|-------|
| 電 源 端 子 | シーケンス端子 | シーケンス端子 | 〔1〕 |
| バス信号端子 例1 | シーケンス端子 | 標準端子 | 〔2〕 |
| バス信号端子 例2 | 標準端子 | シーケンス端子 | 〃 |
| バスロック用信号端子 | 標準端子 | 標準端子 | 〔3〕 |

【0011】図3は、このような割当てによる活線挿抜時の各信号端子の投入又は除去のシーケンスの波形図である。同図に示すシーケンスは、前記プラグ及びソケットのシーケンス端子と標準端子との組合せで3段シーケンスに構成され、これにより、図中第1段～第3段に示すように、挿入時には電源端子→バス信号端子→バスロック用信号端子の順に投入され、抜去時にはバスロック用信号端子→バス信号端子→電源端子の順に除去される。ここで、このバスロック用信号端子は、活線挿抜時にバックプレーンに接続されるバス信号用バッファをロックするバスロック信号を生成するために使用される。

【0012】図4は、上記の生成動作を行うバスバッファロック用回路の構成図で、前記図6の電子装置で本発明を行う回路の一例を示している。図において、3つのシーケンス端子〔1〕、〔2〕及び〔3〕は第1表のシーケンス〔1〕、〔2〕及び〔3〕に対応するもので、バスロック用信号端子〔3〕は図6のプリント板内部回路14内の他のOV端子とは接続されないことになっている。バスロック信号は、図3の第3段及び第4段に示す如く、バスロック用信号により生成され、挿入時は電源端子投入と同時にONになってバスバッファ11、12及び13をロックし、バスロック用信号の投入後にOFFになってロックを解除する。また抜去時は最初にO

Nになって電源端子の抜去までONを継続し、基板の挿抜中バスバッファ11、12及び13を確実にロックして、バックプレーンのバス信号の擾乱を防ぐ。更に、電源の先挿入一後抜去により、当該プリント板の電子部品の破壊を防止することになる。ここで、バス信号とバスロック用信号とを同じシーケンスにしなかった理由は、同じシーケンスでも挿抜時に端子間の投入と除去に若干の時間差があり、バスロック信号がONになる前にバス信号を投入又は除去される可能性があるからである。電源とバス信号端子とを別のシーケンスにしたのも、電源がバス信号に対して、確実に先挿入一後抜去するためである。

【0013】プリント板の挿抜は、通常、人間が行うので、操作速度にバラつきがあり、3種類に分類した端子間の時間差は、その操作速度に依存する。プリント板の挿入時にバスロック信号を一定時間以上ONにしておきたいときには、図5に示す如くタイマ51を配設すれば、図3の第5段及び第6段に示す如く、簡単に時間T1だけONにことができる。

【0014】本実施例では、活線挿抜が可能なので、二重化したプリント板で通電状態のまま故障ボードの交換を実施することができる。計装系ではシステム全体を停止せずに一部ループの停止のみで故障プリント板を交換

5

したり、ループの増設又は削除するプリント板の挿抜が必要とされるが、本実施例はこれを可能にする。そして、プリント板の活線挿抜時に電源の先挿入-後抜去の手順とバスパッファ回路のロックを確実に行えるので、バス信号の擾乱を防止すると共に他プリント板の誤動作を防ぐことができ、挿抜を行うプリント板に実装された電子部品の破壊を防ぐことも可能になり、その結果、装置やシステムの稼働率を大幅に向上させる効果が明らかである。

【0015】

【発明の効果】以上述べたとおり、本発明によれば、二重化したプリント板では通電状態のまま故障プリント板を交換したり、計装系ではシステム全体を停止せずにループを増設又は削除することができ、その活線挿抜時に

6

バス信号の擾乱や他プリント板の誤動作を防ぎ、装置とシステムの稼働率を向上させる活線挿抜方式を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の斜視図。

【図2】本発明のコネクタの説明図。

【図3】実施例の信号シーケンスの波形図。

【図4】バスパッファロック用回路の構成図。

【図5】バスロック回路の回路図。

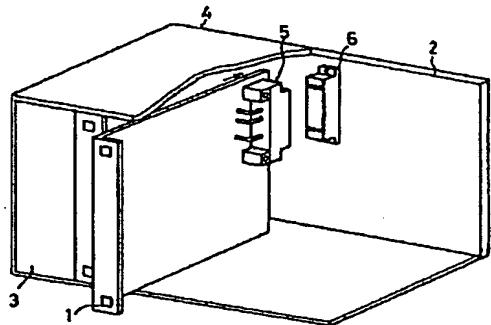
【図6】従来例の構成図。

【符号の説明】

1…プリント板、2…バックプレーン、3…電源、4…サブラック、5…プラグ、6…ソケット、11, 12, 13…パッファ、14…プリント板内部回路。

【図1】

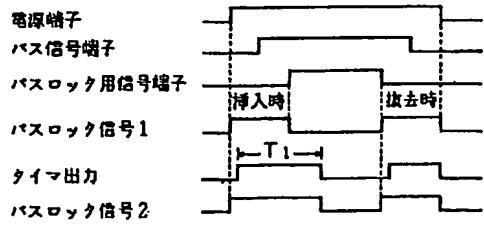
本発明の一実施例の斜視図



1…プリント板
2…バックプレーン
3…電源
4…サブラック
5…プラグ
6…ソケット

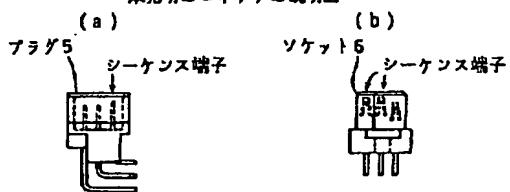
【図3】

実施例の各信号シーケンスの波形図



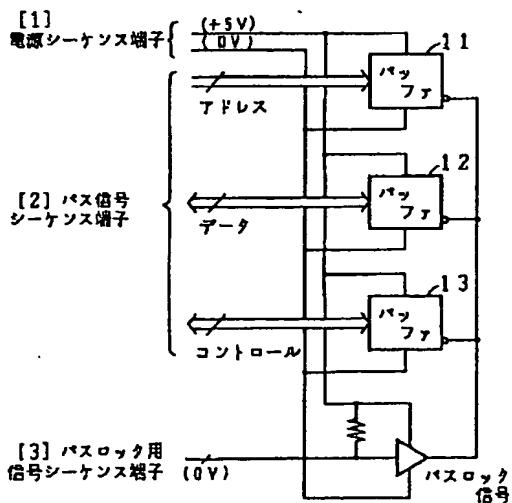
【図2】

本発明のコネクタの説明図

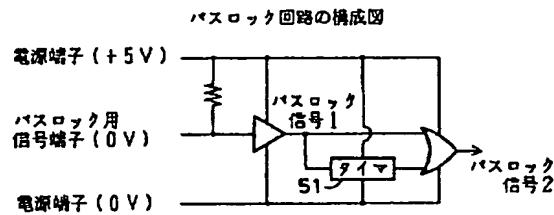


【図4】

バスパッファロック用回路の構成図



【図5】



【図6】

